

# Si (100) - $2 \times 1$ 面上における Ge 薄膜の初期成長過程

浅井 誠\*, 上羽 弘, 龍山 智栄

## 1. はじめに

いろいろな半導体清浄表面や金属のOver Layerをもつ半導体表面の構造的、電子的性質についての広範囲な研究が精力的になされているが、半導体-半導体のヘテロ接合の接触面に関する研究は比較的少ない。しかしながら、GaAs 上での Ge 薄膜の初期成長過程<sup>1, 2)</sup> や Si 上の Ge 薄膜の初期成長過程に関する研究は、<sup>3-16)</sup> 半導体-半導体界面の構造や電子状態に関する基礎的な問題の他に、半導体デバイスの観点からも興味をもたれている。高速素子及び高効率光電変換素子用として優れている GaAs の格子定数が Ge の格子定数とほぼ同じであることから Si 基板上に Ge と GaAs を積層した GaAs/Ge/Si 構造について、最近活発に基礎的な研究が進められている。<sup>17)</sup> 一方、Si や Ge はその表面構造や電子状態が最も詳しく研究されている代表的な半導体であり、超高真空中での Si 清浄表面への Ge 蒸着膜の初期成長過程の研究は、急峻な界面をもったヘテロ接合の形成という観点から興味をもたれている。例えば Narusawa ら<sup>9-11)</sup> は基板温度 350°C の Si (111) -  $7 \times 7$  表面上に Ge を蒸着し、HISS (高速イオン散乱分光) の測定から Ge は 3 原子層程度まで層状成長し、それ以上では 3 次元的な島状核成長する、いわゆる Stranski-Krastanov タイプの成長様式であることを示した。350°C 以下の基板温度での成長の場合、Si-Ge 界面が急峻であることは EELS (低速電子エネルギー損失分光) でも示されている。<sup>6, 7)</sup> また、清浄 Si (111) 表面は bulk 格子の 7 倍長周期をもついわゆる  $7 \times 7$  超構造をとり、その表面に金属を数原子層蒸着した場合、金属の種類、被覆率、基板温度に依存して様々な超構造をとることが知られている<sup>18, 19)</sup>。

一方、我々は Si (111) -  $7 \times 7$  面上に Ge を蒸着し、LEED (低速電子線回折) 及び AES (オージェ電子分光) を用いて、Ge 蒸着膜の初期成長様式ならびに、蒸着膜への熱処理による効果について以下の結論を報告した<sup>12, 13)</sup>。(i) Si 基板温度を 350°C にして Ge 薄膜を成長させると Si (LVV) AES 信号は Stranski-Krastanov タイプに支配されて減少する。すなわち、3 原子層まで層状成長し、そのあと 3 次元的な Ge の島を形成する。

(ii) Si (111) -  $7 \times 7$  面上に 2 原子層の Ge が急峻にヘテロエピタキシーする時、( $7 \times 7$ ) 超構造は ( $5 \times 5$ ) 超構造に変化する。

また、室温蒸着した Ge 薄膜の Coverage 及び熱処理温度に対する Ge on Si の様々な超構造の相図を決定した。しかし Si (100) 面上における Ge の成長様式については未だ明らかでないことが多い。

Si (100) 面および Ge (100) 面の清浄表面はともに  $2 \times 1$  超構造を示すことが知られている<sup>18)</sup>。今回、Si (111) -  $7 \times 7$  面上の Ge 薄膜と比較するために、Si (100) -  $2 \times 1$  面上に Ge を蒸着し、同じように LEED, AES 分析器を用いてその性質を調べた。以下、室温及び、600°C 以下で加熱した Si (100) -  $2 \times 1$  清浄表面上に Ge を超高真空中で数原子層蒸着し、Ge の蒸着量に対する下地 Si からの AES 信号強度の変化、LEED パターンの変化、及び蒸着後熱処理することによる Ge 蒸着膜の変化をやはり AES, LEED で観察し、Si (100) 表面における Ge の初期成長過程及び熱処理による効果を調べた結果について報告する。

\* 現在、立石電気㈱

## 2. 実験方法

実験に用いた蒸着源, LEED/AES 分析器, 基板Si などの配置をFig. 1に示す。排気系は日本真

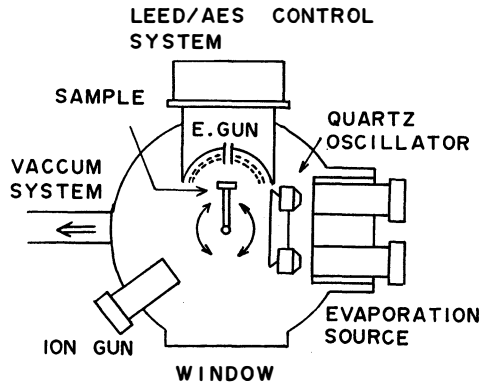


図1 LEEDおよびAES測定のための超高真空チャンバーの概観

空(株)製でロータリーポンプ, フォアライントラップ, ソープションポンプの組合わせによる荒引系と, イオンポンプ, ナタゲッターポンプからなり, 致達真空度は $6.7 \times 10^{-9}$  Paである。LEED/AES 分析器はPHI製の4枚グリッドRGAタイプ(Retarding Grid Analyzer, 阻止電子場型)のものである。基板はマニピレーターによって回転させることができる。Si(100)基盤はn型で比抵抗は約400  $\Omega$  cmであり, 1200°Cの通電加熱によって清浄化を行った。基板の温度測定には白金-白金ロジウム熱電対とパイロメータを用いた。蒸着に用いたGeはn型で比抵抗約10  $\Omega$  cmであり, ウェーハ-から棒状に切り出したものをタンタルフィラメントの通電加熱によって蒸発させて蒸着を行った。Geの蒸着量は基板Siの(LVV)-92eV オージェ信号の強度測定と水晶振動子膜厚モニター(日本真空製C R TM-1 C)を用いて見積った。Ge蒸着時の真空度は $6.7 \times 10^{-8}$  Paであった。Ge蒸着時の基板温度は, 室温, 350°C, 600°Cで実験を行った。AESの測定は一次電子線のエネルギー1 KeV ビーム電流10  $\mu$  Aで行った。基板温度が高いとオージェスペクトルに影響がでるため, また, オージェ測定, LEED観察はすべて基板温度を室温にもどしてから行った。

## 3. 実験結果と考察

### 3. 1 室温及び高温基板へのGeの蒸着

下地表面上に成長物質を蒸着成長させた場合, 蒸着量に対する下地からのオージェ電子信号(以後オージェピーク強度と記す)の変化を調べることによって蒸着膜の成長様式を知ることができる。<sup>24, 25)</sup>

#### A) 単層成長の場合

たい積量が1層以下のとき蒸着時間を $t$ として蒸着物質が下地表面を覆う割合を $S(t)$ とすると, そのとき得られるオージェピーク強度 $I$ は,

$$\begin{aligned} I &= I_0 \left\{ 1 - S(t) \right\} + I_0 \cdot S(t) \exp \left( -\frac{d}{\lambda} \right) \\ &= I_0 \left[ 1 - S(t) \left\{ 1 - \exp \left( -\frac{d}{\lambda} \right) \right\} \right] \end{aligned} \quad (1)$$

である。ここで $I_0$ は清浄下地表面からのオージェピーク強度で $d$ は1層の厚さ,  $\lambda$ はオージェ電子の脱出深さである。(1)式からもわかるように, 一定の割合で蒸着原子が下地原子を覆う時,  $S(t)$

は時間とともに増加し、強度  $I$  も一定の割合で減少する。2 層目の成長に移ったときも 1 層で覆われた表面からのオージェピーク強度を  $I_1$  とすれば (1) 式の  $I_0$  を  $I_1$  に書きかえればよく、やはり、 $S(t)$  が直線的に増加すれば、強度  $I$  は直線的に減少する。下地物質が着物質で一様に覆われた時 (即ち  $S(t) = 1$  の時) の強度は膜厚  $nd$  に対して、次のように指数関数的に減少していく。

$$I = I_0 \exp\left(-\frac{nd}{\lambda}\right) \quad (2)$$

ここで  $n$  は層の数である。

#### B) 核成長の場合

蒸着膜が核成長する場合、高さ  $n$  層の核が下地表面を覆う割合を  $S_n(t)$  とすると、強度  $I$  は同様に次のように書くことができる。

$$I = I_0 \left\{ 1 - S_n(t) \right\} + I_0 S_n(t) \exp\left(-\frac{nd}{\lambda}\right) \quad (3)$$

核成長の場合、 $n$  は十分に大きいので、(3) 式の第 2 項からの寄与はほとんど無視でき、強度  $I$  は蒸着時間  $t$  (蒸着量) に対して指数関数的には減少しないことがわかる。さらに蒸着量が増加しても、核成長の場合、下地を覆う割合は変化せず、核の高さだけが增大するので、強度  $I$  の飽和現象が出現する。

Fig. 2 に室温に保たれた清浄 Si(100) 面上へ Ge を蒸着速度  $\sim 0.01 \text{ \AA}/\text{min}$  で蒸着したときの Ge

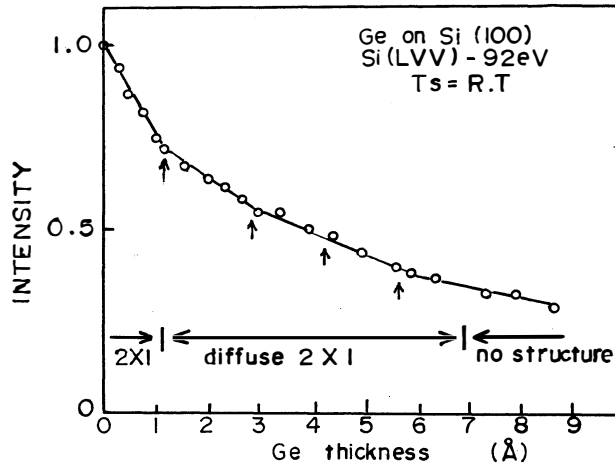


図2 Ge 蒸着膜厚に対する Si(LVV) オージェ信号強度の変化。ただし、強度 ( $I$ ) は清浄 Si(100)-2×1

の強度で規格化してある。また基板温度は室温で、蒸着速度は約  $0.4 \text{ \AA}/\text{min}$  である。

蒸着量に対する基板 Si からの (LVV)-92eV オージェピーク強度の変化を示す。オージェピーク強度は清浄 Si(100) 表面から得られるオージェピーク強度に対して規格化されている。Ge 蒸着にともない下地 Si からのオージェ信号強度は直線的に減少し、オージェピーク強度  $I/I_0 = 0.40$  まで勾配の変化が 4 回見られる。この勾配を変えながらの直線的な減少は Ge 蒸着膜の層状成長を意味し、 $I/I_0 = 0.40$  の折れ線は 4 層目に相当する。Ge(100) 面の平均面間距離  $d = 1.4125 \text{ \AA}$  とすると、蒸着物質が層状成長したときの下地物質のオージェピーク強度を表わす (2) 式から、 $n = 4$ 。  $I/I_0 = 0.40$  を用いると、Si(LVV)-92eV のオージェ電子の脱出深さは  $6.2 \text{ \AA}$  と見積られる。Si(111) 面上における脱出深さ  $\lambda = 5.7 \text{ \AA}$ <sup>12, 13)</sup> との違いは、Si に対して、Si(100) 面では  $6.7 \times 10^{14} \text{ atom}/\text{cm}^2$  と小さいためと思われる。ところで Ge の蒸着量は膜厚モニターを用いて測定したが、蒸着位置とセンサーの位置が異なるため、膜厚表示の値は正しい膜着量をあらわしていない。従って Fig. 2 にお

いて、 $I=0.40$ におけるGeの膜厚を4層 $=5.65\text{\AA}$ として補正した。以後の実験においても、同じようにして、膜厚表示の値を補正した。

一方、LEEDパターンは清浄Si(100)表面の $(2\times 1)$ 構造がGeの増加に伴い乱れはじめ、4原子層 $(\sim 5.65\text{\AA})$ 以上の被覆率で無構造となる。これは、室温で蒸着されたGeはSi基板上でアモルファス層を形成するために、下地Siの $(2\times 1)$ パターンは見づらくなり、4原子層以上のGe蒸着によって完全に $(2\times 1)$ パターンは見えなくなる。

Fig. 3は基板温度を $350^\circ\text{C}$ にして蒸着速度 $\sim 0.06\text{\AA}/\text{min}$ でGeを蒸着したときのSi オージェピー

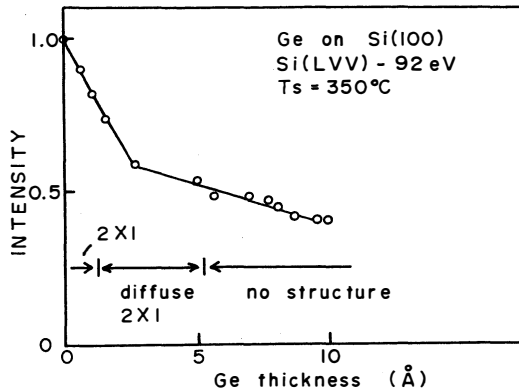


図3 図2に同じ。ただし、基板温度は $350^\circ\text{C}$ 、蒸着速度は約 $0.06\text{\AA}/\text{min}$ である。

ク強度の変化を示す。強度は0.5付近まで直線的に減少し、そのあと飽和していることがわかる。このような飽和傾向はFig. 2の基板温度が室温の場合と異なり、3原子層以上では島状成長をしていることを示す。即ち3原子層までは1原子層毎に2次元的に層状成長し、それ以上では3次元的に島状成長する、いわゆるStranski-Krastanovタイプの膜成長をする。

この結果は基板温度 $350^\circ\text{C}$ のSi(111)- $7\times 7$ 面上でのGe薄膜の成長様式と同じである。

LEEDパターンは、Ge蒸着にともない $(2\times 1)$ 構造は乱れ、約 $5\text{\AA}$ のGe蒸着によって無構造とこれは3原子層以上でGeの島が形成され、その島の成長により、表面構造が乱され、見えなくなることを意味する。

Fig. 4は基板温度を $600^\circ\text{C}$ にして蒸着速度 $\sim 0.02\text{\AA}/\text{min}$ でGeを蒸着したときのオージェ強度の

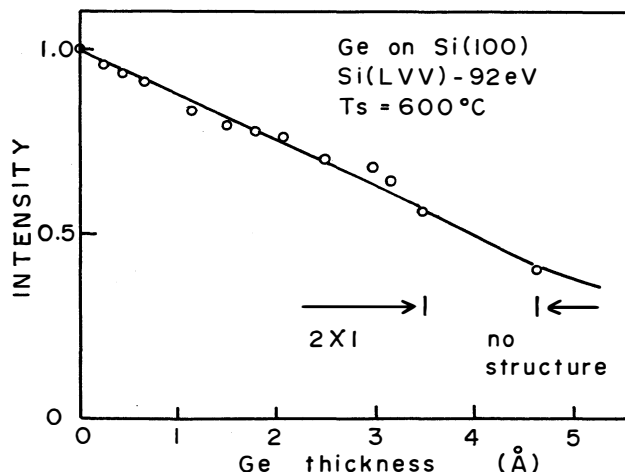


図4 図2に同じ。ただし、基板温度は $600^\circ\text{C}$ 、蒸着速度は約 $0.02\text{\AA}/\text{min}$ である。

変化を示す。600℃という比較的高温であるが、強度は直線的に減少し層状に成長していることがわかる。基板温度が高いと Ge 原子の Si 基板上における付着量は減少し、室温蒸着時のと比べ膜厚表示の増加に対するオージェピーク強度の減少の割合は小さくなる。

LEED パターンは Ge  $\sim 3.5\text{\AA}$  の蒸着まで鮮明な  $(2 \times 1)$  パターンが見られたが、 $\sim 4.7\text{\AA}$  の蒸着によって無構造となった。このことから、3 原子層 ( $\sim 4.2\text{\AA}$ ) まで層状に Ge 層が成長し、その Ge 層は  $(2 \times 1)$  パターンを示すが、3 原子層以上で Ge が島状化し、そのために表面構造が乱され、LEED パターンが見えなくなるものと考えられる。Si (LVV) - 92eV オージェピーク強度の変化は  $\sim 4.7\text{\AA}$  まで直線的な減少を示し、島状成長を意味するピーク強度の飽和は見られないが、この LEED パターンの変化から 3 原子層くらいまで層状に成長し、それ以上で基板温度 350℃ 蒸着のものと同様に Ge の島が形成され、島状成長をするものと思われる。また、3.2 の Ge 蒸着膜の熱処理による効果でも示すが、基板温度 600℃ で  $\sim 4.7\text{\AA}$  蒸着した Ge 薄膜を 650℃ で熱処理すると、3 原子層の Ge 被覆率に相当するオージェピーク強度になることから  $\sim 4.7\text{\AA}$  蒸着したときは、3 原子層以上で Ge が島状化しているものと思われる。

Fig. 5 は Figs. 2 ~ 4 で示してきた三種類の基板 (室温, 350℃, 600℃) 上で Ge 蒸着量に対するオージェピーク強度の変化を Ge 蒸着量 (単原子層単位) に対して片対数で表わしたものである。ここで実線は、Si のオージェ電子の脱出深さ  $\lambda$  を  $6.2\text{\AA}$  として、(2)式から得られる理想的な層状成長のときのオージェピーク強度の変化である。これから、室温蒸着のものは層状成長し、350℃ 蒸着のものは 3 原子層付近から指数関数的な減少からはずれ、島状成長をしているのがわかる。600℃ 蒸着のものは蒸着量が少ないために島状成長の部分が見られないが、Fig. 4 の説明で記したように LEED パターンの変化などから、 $4.7\text{\AA}$  蒸着された Ge 薄膜は 3 原子層以上で Ge の島が形成されていると考えられる。

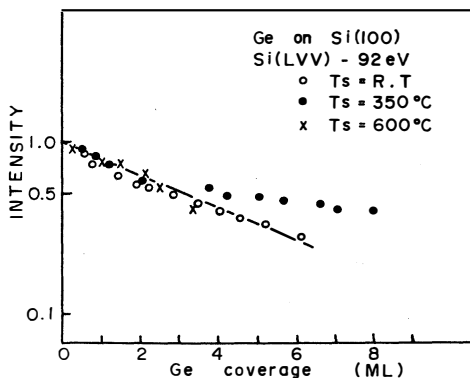


図5 Ge 蒸着量 (単原子層単位) に対する Si (LVV) オージェ強度の変化を対数プロットしたもの

### 3. 2 Ge 蒸着膜の熱処理による変化

Fig. 6 に室温で 6 原子層 Ge を蒸着した場合の熱処理による下地 Si からの (LVV) - 92eV オージェ信号強度  $I/I_0$  の変化を示す。熱処理時間は各温度でオージェ強度の増加が飽和するまで充分長い時間 (30分以上) かけて行なった。

オージェ強度 (Si - LVV) は 350℃ の熱処理によって強度の増加が見られ、400℃ から 600℃ の間の熱処理では 3 原子層に相当するところで飽和が見られる。また 650℃ の熱処理によって再び強度は増加して、2 原子層の被覆率に相当するところで飽和が見られる。

一方、LEED パターンは 650℃ の熱処理によって乱れていたが  $(2 \times 1)$  構造が現われた。650 ~ 750℃ の範囲の熱処理によって Si のオージェ強度は  $I = 0.6$  付近で一定であり、これは丁度 2 層の

Ge 膜に相当する。このことから 650℃ 付近から出現する散漫な ( $2 \times 1$ ) 構造は 2 層から成る Ge 膜によるものと思われる。Si のオージェ強度の熱処理による増加には (1) 表面の蒸着膜の島状化 (2) 基板物質と蒸着物質の相互拡散 (3) 表面蒸着物質の蒸発の 3 つの原因が考えられる。350℃ での増加は Narusawa ら<sup>11)</sup>のこの温度では相互拡散はないという結果、及び Ge が蒸発するには 温度が低すぎるということを考慮すれば表面 Ge の島状化によるものと考えられる。ただし、基板温度 350℃ では 3 原子層まで層状成長するという Fig. 3 の結果から、表面には 3 原子層の Ge が層状に存在し、それ以上の Ge は多数の島を形成していると思われる。650℃ 付近での増加には、島状化、蒸発の過程が考えられ、Fig. 4 の 600℃ 蒸着において層状成長が見られるので、650℃ の被覆率は 2 原子層は層状であることが想像される。350℃ の熱処理による 3 原子層以上の Ge の島状化、650℃ 付近の熱処理による Ge の島状化、蒸発というのは Si (111) 面上での Ge 薄膜の熱処理による効果に非常によく似ている。<sup>12,13)</sup>しかし、Si (111) 面上においては 740℃ の熱処理によって Si 上の Ge が完全に消滅し、清浄 Si 表面から得られるオージェ信号と同じものになるのに対して、Si (100) 面上においては Ge が完全に消滅するのは 800℃ と熱処理温度が高い。これは (111) と (100) 面の表面構造の違いに関係しているものと考えられる。即ち Si (100) 面においては表面原子は真空側向かって 2 つのダングリングボンドをもち、ダイマー模型<sup>18,23)</sup>に示されるようになり同士の原子のダングリングボンドが結合して原子変位を生じていると考えられている。Si (111) 面においては一つのダングリングボンドによって下地原子と蒸着原子が結ばれるのに対して、Si (100) 面においては 2 つのダングリングボンドによって結ばれているので結合が強いと思われ、Ge が完全に消滅する温度は Si (100) 面上の方が高くなる。

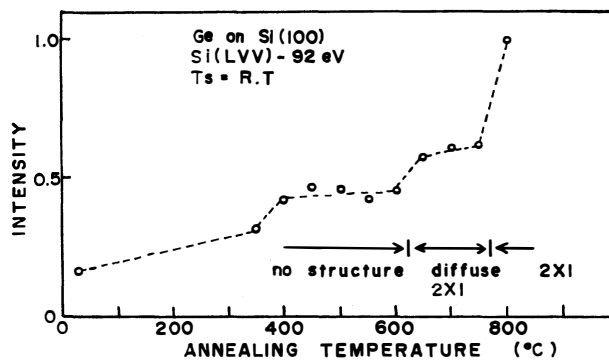


図6 Si (LVV) オージェ強度のアニーリング依存性。ただし、Ge は基板温度を室温にして 6 原子層程度蒸着されている。

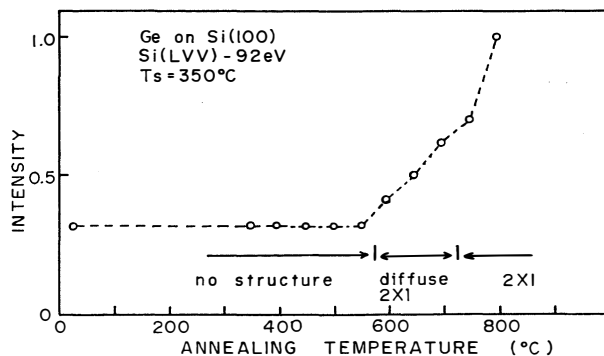


図7 図6に同じ。ただし、Ge は基板温度を350℃にして 4 原子層程度蒸着されている。

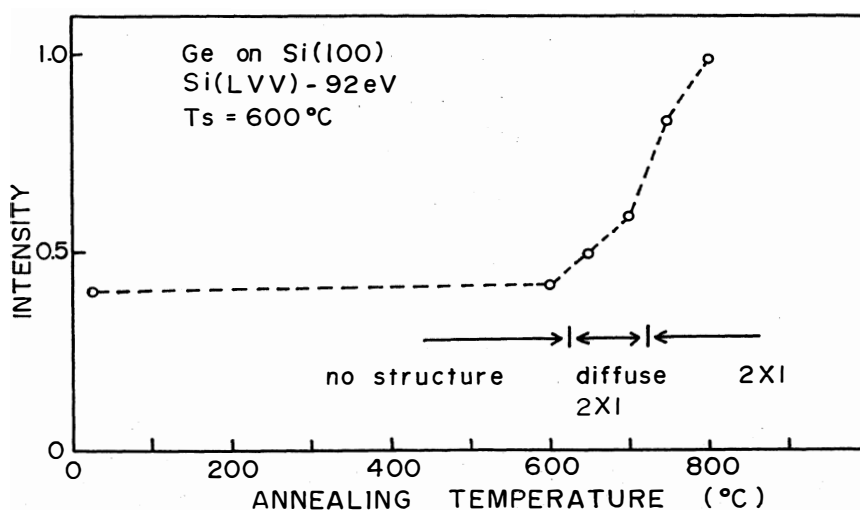


図8 図6に同じ。ただし、Geは基板温度を600°Cにして、4原子層程度蒸着されている。

Figs. 7, 8の基板温度350°C, 600°Cで成長させた(それぞれ、被覆率 $\theta \sim 5$ ,  $\theta \sim 4$ ) Ge薄膜を熱処理したときのオージェ強度の増加は基板温度350°Cのものは600°Cから、基板温度600°Cのものは650°Cの熱処理から増加が見られる。これは室温蒸着のものと異なり、3原子層以上が島状化しているために、3原子層以下のGeの島状化かGeの蒸発がおきる温度の熱処理でないと強度の増加はおこらない。基板温度350°C, 600°C蒸着の熱処理はともに600°C以上の熱処理で少しずつ強度が増加しているが、各熱処理温度で飽和したところの強度はほぼ同じであり、650°C, 700°Cの熱処理の飽和点はそれぞれ3原子層, 2原子層の被覆率に相当し、層ごとの島状化、蒸発が考えられる。LEEDパターンは600°C, 650°Cの熱処理によって( $2 \times 1$ )構造があらわれ、2~3原子層のGe(100)面の $2 \times 1$ パターンが出ているものと思われる。

Fig. 6~8の結果から考えられる熱処理によるGe薄膜の変化をモデル的に示すとFig. 9のように

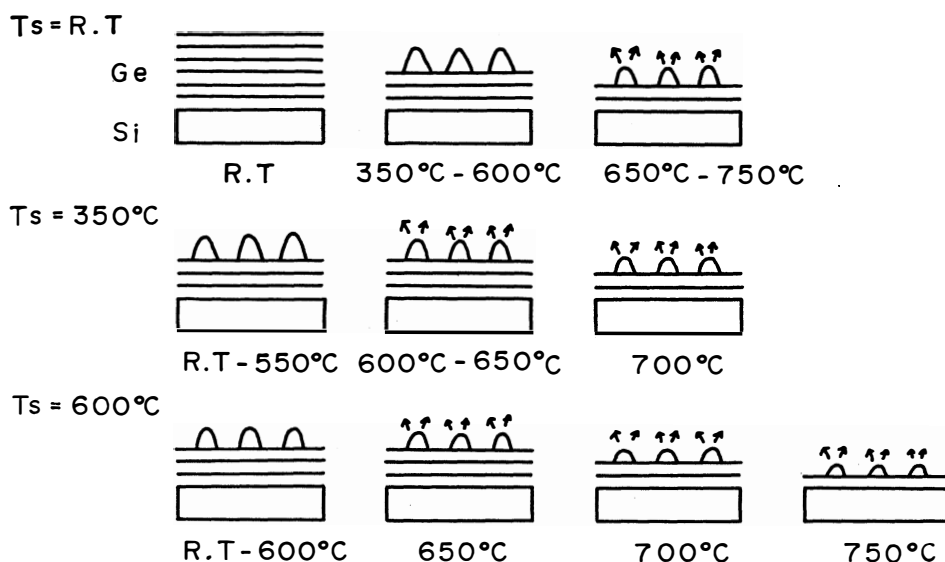


図9 図6, 7, 8で観測されたアニーリングによる変化を説明する模型

なる。室温蒸着された6層のGe薄膜を350℃で熱処理すると3層より上のGeが島状化し、650℃、60分の熱処理によってGeの被覆率は3層から2層となる。350℃のSi基板上にGeを蒸着したものは3層まで層状で、それ以上でGeの島を形成している。そのGeは550℃の熱処理まで変化せず、600℃から蒸発がはじまり、700℃、50分の熱処理によってGeの被覆率は3層から2層となる。600℃蒸着されたものは3層以下は層状で、700℃、120分の熱処理によってGeの被覆率は3層から2層となる。室温蒸着したものを350℃で熱処理したり、350℃の基板にGeを蒸着したりすると3層より上のGeが島状化することや、各基板温度で成長させたGe薄膜はいずれも600℃付近の熱処理で蒸発が始まっていることから、350℃はGeを島状化させる温度であり、600℃はGeの蒸発を引き起こす温度であると思われる。

Fig 10に清浄Si(100) -  $2 \times 1$  と Ge on Si(100) -  $3 \times 1$  [Ge被覆率 $\theta \sim 2$ ] のLEEDパタ

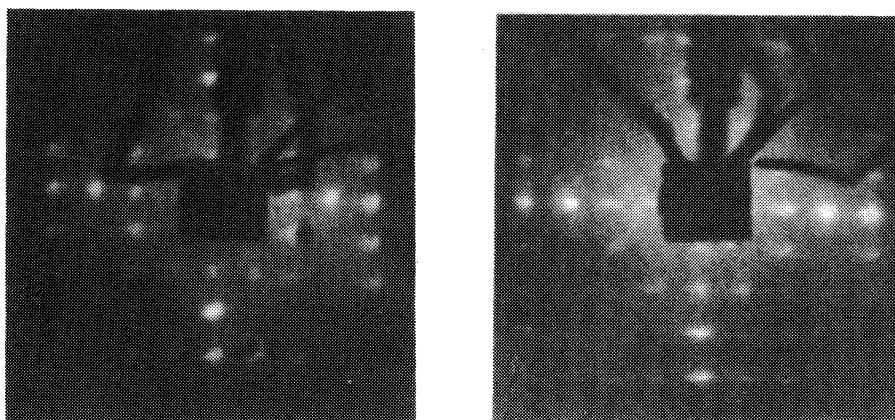


図10 (左)清浄 Si(100) 表面での  $2 \times 1$  LEEDパターン, (右), Si(100) -  $2 \times 1$  表面上の2原子層GeのLEEDパターン。

ーンを示す。Ge on Si の  $2 \times 1$  は、基板温度 600℃のSi上にGeを4層ほど成長させ、Fig. 8の実験において700℃の熱処理を120分して得られたものである。スポット強度は両方とも非常によく似ており、同じような表面状態であることが想像される。

#### 4. まとめ

$10^{-8}$ Pa台の超高真空中におけるSi(100)基板点のGe薄膜の成長様式はSi(111)面上での成長様式とも変わらず、室温蒸着においては層状成長をし、アモルファス層を形成する。350℃蒸着においては、Stranski-Krastanovタイプの成長様式に従う。つまり、3原子層まで層状成長し、その上で島状成長をする。これらの成長様式はこのSi-Ge系において、Siの面に関係のない本質的な成長様式である。Si(100)面上でのSi(LVV)-92eVオージェ電子の脱出深さは、Ge 4原子層当りのSiオージェ信号強度の減衰から、6.2Åと見積られた。この値はSi(100)面上での脱出深さ5.7Åより大きい。Si(100)面上で室温、350℃、600℃で蒸着成長させたGe薄膜は600℃以上の熱処理で蒸発が始まり、2~3原子層のGe被覆で( $2 \times 1$ )構造が出現する。Si(111)面上においては、エピタキシー成長した2原子層のGeは特異な( $5 \times 5$ )構造が出現するが、Si(100)面上においては特異な構造は観察されなかった。これはSi(111)面上においては( $7 \times 7$ )構造、Ge(111)面上においては( $2 \times 8$ )構造に対して、Si(100)、Ge(100)面上とも( $2 \times 1$ )構造を示すためと思われる。Si(111)面上において、Geが完全に蒸発する熱処理温度は740℃に対して、Si(100)



面上においては、800°Cの熱処理によって下地Siのオージェ強度がそのまま検出された。この蒸発温度の差は面構造の違いによるSiとGe原子間の結合力の違いによるものと思われる。

おわりに、実験に協力された丹保豊保氏、前田淳子、林谷浩次君に感謝します。

### 〔文 献〕

- 1) B. J. Mrstik: Surf. Sci. **124** (1983) 253
- 2) D. Denley, K. A. Mills, P. Perfetti and D. A. Shirley: J. Vac. Sci. & Technol. **16** (1979) 1501
- 3) G. Margaritondo, N. G. Stoffel, A. D. Kamanian and F. Patella: Solid State Commun. **36** (1980) 215
- 4) M. Garozzo, G. Corte, E. Evangelisti and G. Vitali Appl. Phys. Lett. **41** (1982) 1070
- 5) W. Monch and H. Gant: J. Vac. Sci. & Technol. **17** (1980) 1094
- 6) P. Perfetti, S. Nannarone, F. Patella, C. Quaresima, F. Cerrina, M. Capozzi, A. Savoid and I. Lindau: J. Vac. Sci. & Technol. **19** (1981) 319
- 7) S. Nannarone, F. Patella, P. Perfetti, C. Quaresima, A. Savoia, C. M. Bertoni, C. Calandra and F. Manghi: Solid State Commun. **34** (1980) 409
- 8) P. Chen, D. Bolmont and C. Sebenne: Solid State Commun. **44** (1982) 1191
- 9) T. Narusawa, W. M. Gibson and A. Hiraki: Phys. Rev. **B24** (1981)
- 10) T. Narusawa and W. M. Gibson: Phys. Rev. Lett. **42** (1981) 1459
- 11) T. Narusawa and W. M. Gibson: J. Vac. Sci. & Technol. **20** (1982) 709
- 12) 庄司克幸, 上羽弘, 龍山智栄: 真空**26** (1983) No.10, 23
- 13) K. Shoji, M. Hyodo, H. Ueba and C. Tatsuyama: Jpn. J. Appl. Phys. **22** (1983) 1482-1488, **22** (1983) L200
- 14) T. Ichikawa and S. Ino: Surf. Sci. **136** (1984) 267
- 15) H. Gossmann, J. C. Bean, L. C. Feldman and W. M. Gibson: Surf. Sci. **138** (1984) L175
- 16) E. G. McRae, H. J. Gossmann and L. C. Feldman: Surf. Sci. **146** (1984) L540
- 17) Robert M. Fletcher, D. Ken Wagner and Joseph M. Ballantyne: Appl. Phys. Lett. **44** (1984) 967
- 18) 井野正三: 日本物理学会誌 **37** (1982) 82
- 19) Y. Terada, T. Yoshizuka, K. Oura and T. Hanawa: Surf. Sci. **114** (1982) 65
- 20) 井野正三: 月刊フィジクス**3** (1982) 569
- 21) M. J. Cardillo: Phys. Rev. **B23** (1981) 4279
- 22) J. Pollmann: Phys. Rev. Lett. **29** (1982) 1649
- 23) F. Jona, H. D. Shih, A. Ignatiev, D. W. Jepsen and P. M. Marcus: J. Phys. **C10** (1977) L67
- 24) 河野璋: 応用物理 **51** (1982) 917
- 25) 染野檀: 安盛岩雄: 表面分析 (講談社 1976) P.204  
昭和59年3月29日, 応用物理学関係連合講演会で一部講演  
昭和59年10月5日, 日本物理学会分科会で一部講演

# The Initial Stage of Heteroepitaxial Growth of Ge on Si(100)-2×1 Surface

Makoto ASAI, Hiromu UEBA, Chiei TATSUYAMA

The initial stage of hetero-epitaxial growth of Ge films on Si(100)-2×1 surface has been investigated by LEED and AES. When the substrate is kept at room temperature, layer by layer growth of Ge films is observed up to 6 monolayers. For the substrate heated at 350°C, growth of Ge films is characterized by the Stranski-Krastanov type, i.e., the first 3 monolayers grows layer by layer followed by a 3-dimensional island formation. The growth mechanism thus studied is similar to a case of Ge on Si(111)-7×7 surface. However the change of AES intensity of Ge on Si(100) by annealing suggests that the bond strength between Ge and Si is stronger on Si(100) than on Si(111) surface. On contrast to a case of Ge on Si(111)-7×7 surface, where 7×7 superstructure is replaced by 5×5 one at about 2 monolayers coverage of Ge, Ge on Si(100)-2×1 also forms 2×1 superstructure.

〔英文和訳〕

## Si(100) 2×1 面上における Ge 薄膜の初期成長過程

浅井 誠\*, 上羽 弘, 龍山 智栄

低速電子線回折, オージェ電子分光法を用いて Si(100)-2×1 表面上における Ge 薄膜の初期成長過程を研究した。Si 基板を室温に保つ時, Ge 薄膜は 6 原子層まで層状成長するが, 基板温度を 350°C に上げると, Ge 薄膜は最初の 3 原子層が層状成長し, さらに蒸着量を増やすと, 島状成長するストランスキー・クラスタノフ型に従うことが判明した。このような成長機構は Si(111)-7×7 表面上と類似している。しかしながら, Ge 薄膜のアニーリング変化より, Si と Ge の結合の強さは Si(111) 表面より Si(100) 表面の方が強いと考えられる。また Si(111)-7×7 表面では 2 原子層の Ge 蒸着によって新しく 5×5 超構造が出現するが Si(100) 表面上では清浄表面と同様な 2×1 構造が出現するだけで, Ge 蒸着により異なる超構造は観測されなかった。

(1985年10月31日受理)